

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi OUMARU, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: POWER SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan          | 2003-167315               | June 12, 2003         |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

James D. Hamilton  
Registration No. 28,421

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 6月12日

出 願 番 号

Application Number:

特願2003-167315

[ ST.10/C ]:

[ JP2003-167315 ]

出 願 人

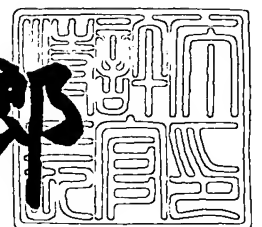
Applicant(s):

三菱電機株式会社

2003年 6月30日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3051572

【書類名】 特許願

【整理番号】 543522JP01

【提出日】 平成15年 6月12日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 1/00

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 王丸 武志

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 宮本 昇

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力用半導体装置

【特許請求の範囲】

【請求項 1】 各々が制御電極並びに第 1 及び第 2 電流電極を有し、前記第 1 電流電極同士及び前記第 2 電流電極同士が互いに接続された、複数の電力用半導体素子と、

前記複数の電力用半導体素子を制御する制御部と  
を備え、

前記制御部は、複数の前記制御電極の一部に入力信号を与えることにより前記複数の電力用半導体素子の一部を動作させ、前記一部の動作終了後に、複数の前記制御電極の他の一部に前記入力信号を与えることにより前記複数の電力用半導体素子の他の一部を動作させる分割制御を繰り返す  
電力用半導体装置。

【請求項 2】 請求項 1 に記載の電力用半導体装置であって、

前記制御部は、複数の前記制御電極の全てに前記入力信号を与えることにより前記複数の電力用半導体素子の全てに同じ動作をさせる一括制御を行うか、または、前記分割制御を繰り返すかを選択可能な  
電力用半導体装置。

【請求項 3】 請求項 1 に記載の電力用半導体装置であって、

前記入力信号はパルス列を含み、

前記制御部は、前記分割制御における、前記複数の電力用半導体素子の前記一部の動作及び前記他の一部の動作を、前記パルスごとに行う  
電力用半導体装置。

【請求項 4】 請求項 1 に記載の電力用半導体装置であって、

前記複数の電力用半導体素子の動作状況に関する情報を検出する少なくとも一つの検出部  
をさらに備え、

前記検出部は検出した前記情報を前記制御部に与え、

前記制御部は、前記分割制御時に動作させる、前記複数の電力用半導体素子の

前記一部及び前記他の一部を、前記情報に基づいて選択する  
電力用半導体装置。

【請求項 5】 請求項 4 に記載の電力用半導体装置であって、  
前記検出部は、前記複数の電力用半導体素子のそれぞれに対応して複数存在する  
電力用半導体装置。

【請求項 6】 請求項 4 に記載の電力用半導体装置であって、  
前記検出部は温度センサであって、前記情報は前記複数の電力用半導体素子の  
動作温度である  
電力用半導体装置。

【請求項 7】 請求項 4 に記載の電力用半導体装置であって、  
前記検出部は電流検出器であって、前記情報は前記複数の電力用半導体素子の  
前記第 1 及び第 2 電流電極間を流れる電流である  
電力用半導体装置。

【請求項 8】 請求項 4 に記載の電力用半導体装置であって、  
前記検出部は電圧検出器であって、前記情報は前記複数の電力用半導体素子の  
前記第 1 及び第 2 電流電極間の電圧である  
電力用半導体装置。

【請求項 9】 請求項 8 に記載の電力用半導体装置であって、  
前記制御部は、前記分割制御時において、前記複数の電力用半導体素子の前記  
一部の前記第 1 及び第 2 電流電極間の逆方向電圧が所定の値を超えた場合には、  
前記一部に加えて前記複数の電力用半導体素子の前記他の一部のうち少なくとも  
一つをも動作させる  
電力用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、負荷を駆動するための複数の電力用半導体素子を含む電力用半導  
体装置に関する。

【 0 0 0 2 】

【従来の技術】

パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) 等の電力用半導体素子は、大電流を流す負荷を駆動するための制御装置として採用されている。

【 0 0 0 3 】

このような電力用半導体素子を複数、並列に接続して、制御可能な電流量を増大させる電力用半導体装置の技術が、以下の特許文献1に記載されている。なお、この本願発明に関連する他の先行技術文献情報として、特許文献2乃至5がある。

【 0 0 0 4 】

【特許文献1】

特開平8-191239号公報

【特許文献2】

特開2000-92820号公報

【特許文献3】

特開2002-95240号公報

【特許文献4】

特開2001-169401号公報

【特許文献5】

特開2002-208849号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

複数の電力用半導体素子を並列接続した場合、各素子の電気特性にバラつきがあると、並列接続中の特定の素子に電流が多く流れやすい。これにより、電流が多く流れる素子が大きく発熱し、その素子の寿命が短くなりやすい。

【 0 0 0 6 】

並列接続された電力用半導体素子を一つの電力用半導体装置にモジュール化した場合、一つでも素子に寿命が訪れれば、モジュール全体を交換する必要がある

。よって、モジュール全体の寿命を伸ばすためには、上記のような特定の素子に偏った発熱の発生を抑制する必要がある。

【0007】

また、電力用半導体素子にて発生する電力損失には、オン動作時に生じる定常損失と、スイッチング期間に生じるスイッチング損失とが存在する。定常損失の主因はオン動作時のオン抵抗にあり、スイッチング損失の主因はターンオフ時のテール電流にある。

【0008】

定常損失は、電力用半導体素子の通電電流の増大に従って増加する。一方、スイッチング損失の主因たるテール電流の値は、通電電流の大小に拘らずほぼ一定である。従って、テール電流に起因する電力損失量は、電力用半導体素子の並列接続数及び電力用半導体素子のスイッチング回数に比例する。

【0009】

すなわち、電力用半導体素子の並列接続数が多くなるほど、及び、スイッチング周波数が高くなるほど、テール電流に起因する電力損失量が増大することとなる。特に、電力用半導体素子の定格電流に対して十分に低い電流値で、高スイッチング周波数で動作をさせる場合、定常損失とスイッチング損失との合算たる総合損失のうちスイッチング損失の割合が大きくなるため、テール電流に起因する電力損失量の影響が大きい。

【0010】

この発明は上記の事情に鑑みてなされたもので、複数の電力用半導体素子を並列接続した場合であっても、特定の素子に偏った発熱が生じにくく、テール電流に起因する電力損失量の増大を抑制することが可能な電力用半導体装置を提供することにある。

【0011】

【課題を解決するための手段】

請求項1に記載の発明は、各々が制御電極並びに第1及び第2電流電極を有し、前記第1電流電極同士及び前記第2電流電極同士が互いに接続された、複数の電力用半導体素子と、前記複数の電力用半導体素子を制御する制御部とを備え、



前記制御部は、複数の前記制御電極の一部に入力信号を与えることにより前記複数の電力用半導体素子の一部を動作させ、前記一部の動作終了後に、複数の前記制御電極の他の一部に前記入力信号を与えることにより前記複数の電力用半導体素子の他の一部を動作させる分割制御を繰り返す電力用半導体装置である。

【 0 0 1 2 】

【発明の実施の形態】

＜実施の形態 1＞

本実施の形態は、並列接続された複数の電力用半導体素子の一部を動作させ、その一部の動作終了後に、他の一部を動作させる分割制御を繰り返す電力用半導体装置である。

【 0 0 1 3 】

図 1 は、本実施の形態に係る電力用半導体装置を示す図である。この電力用半導体装置は、負荷 LD を駆動するための電力用半導体素子たる IGBT 素子 PD 1 ～ PD 4 を含む。なお、IGBT 素子 PD 1 ～ PD 4 のコレクタ同士及びエミッタ同士は互いに接続され、それぞれ端子 TM b, TM c へとつながっている。また、負荷 LD はモータ等であり、端子 TM b, TM c 間に接続される。

【 0 0 1 4 】

IGBT 素子 PD 1 ～ PD 4 のゲートには、増幅器 DR 1 ～ DR 4 の出力端がそれぞれ接続されている。増幅器 DR 1 ～ DR 4 の入力端には、保護回路 PT 1 ～ PT 4 がそれぞれ接続されている。

【 0 0 1 5 】

また、本実施の形態に係る電力用半導体装置は、IGBT 素子 PD 1 ～ PD 4 を制御する制御部 CT a をも含む。入力信号たる PWM (Pulse Width Modulation) 信号 S 0 は、端子 TM a に入力され、制御部 CT a にて信号 S 1 ～ S 4 に分配された後、保護回路 PT 1 ～ PT 4 にそれぞれ入力される。

【 0 0 1 6 】

制御部 CT a は、単極単投のスイッチ SW 1 ～ SW 4 及び切り替え部 CH とを含む。切り替え部 CH には、ユーザからのモード指定信号 S m d が入力される。スイッチ SW 1 ～ SW 4 はそれぞれ、PWM 信号 S 0 から信号 S 1 ～ S 4 への分

配経路の途中に設けられ、切り替え部CHはモード指定信号Smdの内容に応じてスイッチSW1～SW4のオン／オフをそれぞれ信号S0a～S0dにより指示する。

#### 【0017】

図2は、制御部CTaの具体的構成の一例を示す図である。図2に示すように、切り替え部CHは、D-フリップフロップF0、ORゲートGT0、及び、単極双投のスイッチSWa、SWbを含む。また、各スイッチSW1～SW4は、NANDゲートGT1～GT4とインバータIV1～IV4の各直列接続でそれぞれ構成されている。

#### 【0018】

PWM信号S0は、D-フリップフロップF0のクロック入力端CK及び各NANDゲートGT1～GT4の一入力端に入力される。D-フリップフロップF0の出力端Qは、ORゲートGT0の一入力端及びスイッチSWaの双投の一端に接続される。D-フリップフロップF0の反転出力端/Qは、ORゲートGT0の他入力端、スイッチSWbの双投の一端及びD-フリップフロップF0の信号入力端Dに接続される。

#### 【0019】

ORゲートGT0の出力端は、スイッチSWa、SWbの双投の他端に共通接続される。そして、スイッチSWaの単極は、NANDゲートGT1、GT2の他入力端に接続される。また、スイッチSWbの単極は、NANDゲートGT3、GT4の他入力端に接続される。モード指定信号Smdは、スイッチSWa、SWbにおける信号経路の切り替えに用いられる。

#### 【0020】

次に、本実施の形態に係る電力用半導体装置の動作について説明する。この電力用半導体装置においては、IGBT素子PD1～PD4の全てに同じ動作をさせる一括制御を行うか、または、IGBT素子PD1～PD4の一部を動作させ、その一部の動作終了後に、IGBT素子PD1～PD4の他の一部を動作させる分割制御を繰り返すかを、ユーザからのモード指定信号Smdの内容に基づいて制御部CTaが選択可能である。

## 【 0 0 2 1 】

モード指定信号  $S_{md}$  は 1 ビットの信号である。そして、その内容が “0” の場合はユーザが分割制御を指示し、内容が “1” の場合はユーザが一括制御を指示する、と規定しておく。

## 【 0 0 2 2 】

モード指定信号  $S_{md}$  として “0” が入力された場合、図 2 におけるスイッチ  $SW_a$  は、D-フリップフロップ  $F_0$  の出力端  $Q$  の出力をスイッチ  $SW_1$  ,  $SW_2$  それぞれに信号  $S_{0a}$  ,  $S_{0b}$  として伝達する。また、スイッチ  $SW_b$  は、D-フリップフロップ  $F_0$  の反転出力端  $\overline{Q}$  の出力をスイッチ  $SW_3$  ,  $SW_4$  それぞれに信号  $S_{0c}$  ,  $S_{0d}$  として伝達する。

## 【 0 0 2 3 】

一方、モード指定信号  $S_{md}$  として “1” が入力された場合、図 2 におけるスイッチ  $SW_a$  ,  $SW_b$  はいずれも、OR ゲート  $GT_0$  の出力をスイッチ  $SW_1 \sim SW_4$  それぞれに信号  $S_{0a} \sim S_{0d}$  として伝達する。

## 【 0 0 2 4 】

さて、D-フリップフロップ  $F_0$  の出力端  $Q$  には、クロック入力端  $CK$  に信号が入力されるたびに、信号入力端  $D$  での信号の “Hi” または “Low” が現れる。ここで、信号入力端  $D$  での信号が “Hi” であり、クロック入力端  $CK$  にパルスが入力された場合を考えると、出力端  $Q$  には “Hi” が現れる。また、反転出力端  $\overline{Q}$  には “Low” が現れる。

## 【 0 0 2 5 】

D-フリップフロップ  $F_0$  の反転出力端  $\overline{Q}$  が信号入力端  $D$  に接続されているので、反転出力端  $\overline{Q}$  に “Low” が現れた時点で信号入力端  $D$  での信号は “Low” へと変化する。そして、クロック入力端  $CK$  に次のパルスが入力されると、出力端  $Q$  には “Low” が現れ、反転出力端  $\overline{Q}$  には “Hi” が現れる。

## 【 0 0 2 6 】

よって、D-フリップフロップ  $F_0$  の出力端  $Q$  には、クロック入力ごとに “Hi” , “Low” が交互に現れ、また、反転出力端  $\overline{Q}$  には、出力端  $Q$  とは “Hi” , “Low” が逆転した信号列が現れることとなる。

## 【 0 0 2 7 】

分割制御の場合、D-フリップフロップF0の出力端Qの出力がスイッチSW1, SW2それぞれに伝達され、反転出力端/Qの出力がスイッチSW3, SW4それぞれに伝達される。PWM信号S0は、クロック入力端CK及びNANDゲートGT1～GT4の各一入力端に入力されるため、信号S0～S4のタイミングチャートは図3のようになる。

## 【 0 0 2 8 】

すなわち、PWM信号S0のパルス列のうちあるパルスが入力されると、スイッチSW1, SW2が信号S1, S2として、PWM信号S0を保護回路PT1, PT2に出力する。そして、次のパルスが入力されると、スイッチSW3, SW4が信号S3, S4として、PWM信号S0を保護回路PT3, PT4に出力する。この後、上記の動作が繰り返される。

## 【 0 0 2 9 】

なお、保護回路PT1～PT4はいずれも、IGBT素子PD1～PD4で発生した高電圧を制御部CTaにフィードバックさせないための回路であり、また、増幅器DR1～DR4は信号S1～S4をそれぞれ増幅してIGBT素子PD1～PD4に与える回路である。

## 【 0 0 3 0 】

よって、分割制御時において、制御部CTaは、IGBT素子PD1, PD2のゲートにPWM信号S0を与えることによりこれら素子を動作させ、その動作終了後に、今度はIGBT素子PD3, PD4のゲートにPWM信号S0を与えることによりこれら素子を動作させる、という制御を繰り返す。

## 【 0 0 3 1 】

なお、PWM信号S0をD-フリップフロップF0のクロック入力端CKに入力しているため、IGBT素子PD1, PD2の動作及びIGBT素子PD3, PD4の動作は、パルスごとに行われる。

## 【 0 0 3 2 】

一方、一括制御の場合、ORゲートGT0の出力がスイッチSW1～SW4それぞれに伝達される。ORゲートGT0には、D-フリップフロップF0の出力

端Q及び反転出力端/Qの両信号が入力されるので、ORゲートGT0の出力は常に“Hi”となる。よって、信号S0～S4のタイミングチャートは図4のようになる。

【0033】

すなわち、PWM信号S0のパルス列がそのまま、スイッチSW1～SW4を介して信号S1～S4として保護回路PT1～PT4に出力される。よって、一括制御時には、制御部CTaは、IGBT素子PD1～PD4のゲートの全てにPWM信号S0を与えることにより、これら素子の全てに同じ動作をさせる。

【0034】

本実施の形態に係る電力用半導体装置によれば、制御部CTaは分割制御時に、IGBT素子PD1～PD4の一部を動作させ、その一部の動作終了後に、IGBT素子PD1～PD4の他の一部を動作させる制御を繰り返す。

【0035】

例えばIGBT素子PD1～PD4を一括制御した場合に、IGBT素子PD4には電流があまり流れず、IGBT素子PD4に流れるべき分の電流がIGBT素子PD1に余計に流れやすい、という場合がある。

【0036】

しかし、上記の分割制御を行うことにより、IGBT素子PD1はIGBT素子PD2とのみ同時に動作し、IGBT素子PD4はIGBT素子PD3とのみ同時に動作する。これにより、各IGBT素子PD1～PD4に流れる電流量を均等にすることが可能となり、特定のIGBT素子に偏った発熱が生じにくくなる。

【0037】

また、分割制御時の各IGBT素子PD1～PD4における実質的な並列接続数は、実際の並列接続数よりも少ない。すなわち、IGBT素子PD1，PD2が同時に動作している場合、及び、IGBT素子PD3，PD4が同時に動作している場合、いずれにおいても実質的な並列接続数は、実際の並列接続数4よりも少ない2となる。

【0038】

よって、テール電流に起因する電力損失量は IGBT 素子の並列接続数に比例することから、テール電流に起因する電力損失量の増大を抑制することが可能である。

【0039】

また、本実施の形態に係る電力用半導体装置においては、制御部 C T a は、一括制御を行うか、または、分割制御を繰り返すかを選択可能である。

【0040】

ここで、表 1 は本実施の形態に係る電力用半導体装置の一実験結果を示すものである。

【0041】

【表 1】

| モード  | 定常損失 [W] | スイッチング損失 [W] | 総合損失 [W] |
|------|----------|--------------|----------|
| 一括駆動 | 15.000   | 106.870      | 121.870  |
| 分割駆動 | 18.750   | 85.496       | 104.246  |
| 変化率  | 25%上昇    | 20%減少        | 14%減少    |

【0042】

この表において、「一括駆動」モードとは、上記の IGBT 素子 P D 1 ~ P D 4 を一括制御した場合を指し、「分割駆動」モードとは、上記の IGBT 素子 P D 1, P D 2 を同時に動作させ、IGBT 素子 P D 3, P D 4 を同時に動作させる分割制御を行った場合を指す。

【0043】

この実験においては、IGBT 素子 P D 1 ~ P D 4 の定格電流に対して十分に低い電流値で動作させたため、定常損失の値はいずれの駆動モードにおいても高くはない。

【0044】

一方、いずれの駆動モードにおいてもスイッチング損失の値は定常損失の値よ

りも大きく、「分割駆動」モード時のスイッチング損失量は「一括駆動」モード時のスイッチング損失量に比べて20%も減少した。そして、総合損失についても、「分割駆動」モード時の総合損失量は「一括駆動」モード時の総合損失量に比べて14%減少した。

## 【0045】

すなわち、IGBT素子PD1～PD4の定格電流に対して十分に低い電流値で、高スイッチング周波数で動作をさせる場合には、この電力用半導体装置のテール電流に起因する電力損失量の増大抑制効果が高いといえる。そして、IGBT素子PD1～PD4に流れる電流量を均等にすることが可能となり、特定のIGBT素子に偏った発熱が生じにくくなる。

## 【0046】

一方、例えばIGBT素子PD1～PD4の定格電流値に近い大電流で動作をさせる場合や、低スイッチング周波数でIGBT素子PD1～PD4を動作させる場合には、定常損失の値がスイッチング損失の値よりも大きくなりやすい。

## 【0047】

上述のように、定常損失の主因は電力用半導体素子のオン抵抗にある。半導体素子においてオン抵抗（すなわちI-V特性の傾き）は非線形であることから、「分割駆動」モードを選択して一部のIGBT素子に流れる電流量を大きくすると、「一括駆動」モードを選択して個々のIGBT素子に流れる電流量を小さく抑えた場合よりも定常損失の総量が増大する。

## 【0048】

よって、総合損失のうちスイッチング損失の占める割合が小さく、分割制御を行うことにより増大する定常損失の占める割合が大きい場合には、一括制御を選択する方が望ましいこととなる。一括制御を選択して総合損失の増大を抑制することが可能となるからである。

## 【0049】

また、本実施の形態に係る電力用半導体装置においては、分割制御におけるIGBT素子PD1，PD2の同時動作及びIGBT素子PD3，PD4の同時動作を、PWM信号S0のパルスごとに行う。

## 【 0 0 5 0 】

PWM信号の場合、直近のパルス同士のパルス幅はほぼ同じであるため、分割制御において各 I G B T 素子の動作時間をほぼ等しくすることができる。これにより、各 I G B T 素子での消費電力を均等にすることが可能となり、特定の I G B T 素子に偏った発熱がより生じにくくなる。

## 【 0 0 5 1 】

なお、図 5 は本実施の形態に係る電力用半導体装置の変形例である。図 1 においては制御部 C T a を、図 2 に示したフリップフロップやゲート回路で構成していた。

## 【 0 0 5 2 】

しかし、同様の機能は、D S P (Digital Signal Processor) やマイクロプロセッサ等を制御部に採用することによっても実現することが可能である。すなわち、D S P やマイクロプロセッサ等の制御プログラムを適宜設定することにより、モード指定信号 S m d の内容に応じて、P W M 信号 S 0 を I G B T 素子 P D 1 ~ P D 4 の全てに与えるのか、あるいは、P W M 信号 S 0 のあるパルスを I G B T 素子 P D 1, P D 2 に同時に与えた後、次のパルスを I G B T 素子 P D 3, P D 4 に同時に与え、同様の制御を繰り返し行うのか、の選択を行うことが可能である。

## 【 0 0 5 3 】

よって、図 5 においては、図 1 の制御部 C T a に代わって D S P からなる制御部 C T b が設けられている。それ以外の点は、図 1 と同様である。

## 【 0 0 5 4 】

D S P やマイクロプロセッサを採用するか、フリップフロップやゲート回路を採用するかは、駆動素子数の多さや制御パターンの複雑さ、回路構成に要するコスト等を考慮して決定すればよい。

## 【 0 0 5 5 】

なお、上記においては、I G B T 素子数を P D 1 ~ P D 4 の 4 つとしていたが、もちろん、この数に限られるものではなく、複数であればよい。

## 【 0 0 5 6 】



また、分割制御時の素子の同時動作数を、PD1、PD2及びPD3、PD4の2つずつとしていたが、この数に限られるものでもない。

## 【0057】

例えば図6のタイミングチャートに示すように、PWM信号S0のパルスごとに、IGBT素子PD1～PD4の一つずつを動作させるようにしてもよい。このような分割制御は、図5の制御部CTbの制御プログラムを適宜設定することにより、あるいは、図1の制御部CTa内のフリップフロップやゲート回路を適宜組み合わせることにより、容易に実現できる。

## 【0058】

なお、図3や図6においては、分割制御時の動作素子の切替をPWM信号S0の1パルスごとに行っていたが、例えば2パルスや3パルス等、複数パルスごとに切替を行うようにしてもよい。この場合、例えば図1の回路では、連続する複数パルスの回数だけIGBT素子PD1、PD2が同時に動作した後、同様に、連続する複数パルスの回数だけIGBT素子PD3、PD4が同時に動作することとなる。

## 【0059】

## &lt;実施の形態2&gt;

本実施の形態は、実施の形態1に係る電力用半導体装置の変形例であって、IGBT素子PD1～PD4の動作状況に関する情報（具体的には温度）を検出し、検出結果に応じて分割制御時に動作させるべき素子を選択するものである。

## 【0060】

図7は、本実施の形態に係る電力用半導体装置を示す図である。図7においては、図5の電力用半導体装置の構成に加えて、各IGBT素子PD1～PD4の近傍にそれぞれ、温度センサTM1～TM4が設けられている。その他の点については、実施の形態1に係る電力用半導体装置と同様である。

## 【0061】

この温度センサTM1～TM4はいずれも例えばpn接合ダイオードを用いた半導体温度センサであり、IGBT素子PD1～PD4が形成された基板上に絶縁層を介してpn層を積層することにより形成されるものである。

## 【 0 0 6 2 】

p n 接合ダイオードを用いた半導体温度センサによれば、p n 接合間の順方向電流を一定値に保持することにより、アノード-カソード間電圧から温度を検出することが可能である。よって、温度センサ T M 1 ～ T M 4 に制御部 C T b から電流を流し、各アノード-カソード間電圧 S 1 t ～ S 4 t をモニタすることで、制御部 C T b が各 I G B T 素子 P D 1 ～ P D 4 の動作温度を検出することができる。

## 【 0 0 6 3 】

制御部 C T b は、各 I G B T 素子 P D 1 ～ P D 4 の動作温度の検出結果に基づいて、分割制御時に動作させるべき I G B T 素子を選択する。図 8 は、この選択の様子を示すタイミングチャートである。ここでは、例として I G B T 素子 P D 2 の動作温度に着目する。

## 【 0 0 6 4 】

制御部 C T b では、各アノード-カソード間電圧 S 1 t ～ S 4 t を A / D (Analog → Digital) 変換し、その変換した値が所定のしきい値電圧 V t h t を超えないかどうか、制御部 C T b 内のコンパレータにより監視している。

## 【 0 0 6 5 】

図 8 に示すように I G B T 素子 P D 2 に対応する温度センサ T M 2 のアノード-カソード間電圧 S 2 t が上昇してしきい値電圧 V t h t を超えた場合、制御部 C T b は、I G B T 素子 P D 2 の動作温度が高くなりすぎたと判断して I G B T 素子 P D 2 の動作を停止させる。

## 【 0 0 6 6 】

そして、制御部 C T b は、I G B T 素子 P D 2 とは同時に動作することのなかった例えば I G B T 素子 P D 3 に、I G B T 素子 P D 2 の代理の機能を行わせる。すなわち、制御部 C T b は、I G B T 素子 P D 1, P D 3 のゲートに P W M 信号 S 0 を与えることによりこれら素子を動作させ、その動作終了後に、今度は I G B T 素子 P D 3, P D 4 のゲートに P W M 信号 S 0 を与えることによりこれら素子を動作させる、という分割制御を繰り返す。

## 【 0 0 6 7 】

これにより、偏った発熱が発生しだした I G B T 素子 P D 2 を休息させることができ、その動作温度を低減させることが可能となる。図 8 では、しきい値電圧  $V_{tht}$  を越えた後のアノード-カソード間電圧  $S_{2t}$  が通減しており、動作温度の低減が示されている。

## 【 0 0 6 8 】

そして、アノード-カソード間電圧  $S_{2t}$  が再びしきい値電圧  $V_{tht}$  以下の値となれば、I G B T 素子 P D 2 を駆動して、図 3 と同様の分割制御を行うようにすればよい。

## 【 0 0 6 9 】

本実施の形態に係る電力用半導体装置によれば、I G B T 素子 P D 1 ~ P D 4 の動作状況に関する情報を検出する検出部たる温度センサ T M 1 ~ T M 4 を備える。そして、温度センサ T M 1 ~ T M 4 は検出した動作温度の情報を制御部 C T b に与え、制御部 C T b は、分割制御時に動作させるべき I G B T 素子 P D 1 ~ P D 4 を、その情報に基づいて選択する。

## 【 0 0 7 0 】

これにより、I G B T 素子 P D 1 ~ P D 4 のうち動作状況が劣悪であるものの動作を停止させ、それ以外の素子のみを動作させることが可能となる。よって、ある I G B T 素子の動作温度が高くなりすぎた場合であっても、停止させて、それ以外の素子のみを動作させてその動作温度を低減させることが可能となる。これにより、特定の I G B T 素子に偏った発熱がより生じにくくなる。

## 【 0 0 7 1 】

また、本実施の形態に係る電力用半導体装置においては、温度センサ T M 1 ~ T M 4 を、各 I G B T 素子 P D 1 ~ P D 4 のそれぞれに対応して複数設けている。これにより、各 I G B T 素子のそれぞれの動作温度を検出することができ、分割制御時に動作させるべき I G B T 素子の選択を制御部 C T b がより適切に行える。

## 【 0 0 7 2 】

なお、上記のように温度センサ T M 1 ~ T M 4 を個別に設けることが好ましいが、必ずしもこれに限られるものではない。例えば、同時に動作する I G B T 素

子PD1, PD2に対して両素子にまたがる一つの温度センサを設け、IGBT素子PD3, PD4に対して両素子にまたがる他の一つの温度センサを設けるようにしてもよい。

#### 【0073】

また、上記の図8においては、IGBT素子PD2の動作温度が高くなりすぎた場合、IGBT素子PD3にその動作を割り振るようにしたが、例えば、IGBT素子PD3, PD4の両方に割り振るようにしてもよい。あるいは、IGBT素子PD3, PD4の動作温度の検出結果をも考慮して、より動作温度の低い方にIGBT素子PD2の動作を割り振ってもよい。

#### 【0074】

これらの動作は、制御部CTbたるDSPの制御プログラムを予め適切に設定しておくことにより、容易に実現が可能である。

#### 【0075】

#### <実施の形態3>

本実施の形態も、実施の形態1に係る電力用半導体装置の変形例であって、実施の形態2における温度センサTM1～TM4ではなく、各IGBT素子PD1～PD4のエミッタに各素子を流れる電流の検出器たる抵抗を設けたものである。

#### 【0076】

図9は、本実施の形態に係る電力用半導体装置を示す図である。なお、図9においては、各IGBT素子PD1～PD4のエミッタに抵抗R1～R4がそれぞれ設けられている点以外、図5の電力用半導体装置と同じである。

#### 【0077】

この抵抗R1～R4はいずれも、例えばIGBT素子PD1～PD4が形成された半導体基板上に設けられた配線層の一部である。

#### 【0078】

抵抗R1～R4での電圧降下量S1r～S4rをモニタすることで、制御部CTbはIGBT素子PD1～PD4のエミッターコレクタ間に流れる電流量を検出することが可能である。そして、IGBT素子PD1～PD4のエミッターコ

レクタ間電流が検出できれば、既知の I G B T 素子 P D 1 ~ P D 4 の各オン抵抗の値を用いて制御部 C T b は、定常損失を算出することができる。

#### 【 0 0 7 9 】

上述のように、定常損失は、分割制御を行って同時に動作させる I G B T 素子数を減少させることにより増大する。よって、上記においては、総合損失中の定常損失の寄与がスイッチング損失の寄与に比べて大きい場合は、一括制御を行う方が望ましいと述べた。

#### 【 0 0 8 0 】

本実施の形態もこの考えに基づくものであって、I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間電流が増大し、定常損失の増大が見られた場合には、同時に動作させる I G B T 素子数を増加させて、定常損失を抑制する。すなわち、制御部 C T b は、各 I G B T 素子 P D 1 ~ P D 4 の通電電流量の検出結果に基づいて、分割制御時に動作させるべき I G B T 素子を選択する。

#### 【 0 0 8 1 】

図 1 0 は、この選択の様子を示すタイミングチャートである。ここでは、例として I G B T 素子 P D 2 の通電電流量に着目する。

#### 【 0 0 8 2 】

制御部 C T b では、各抵抗での電圧降下量  $S 1 r \sim S 4 r$  を A / D 変換し、その変換した値が所定のしきい値電圧  $V_{thr}$  を超えないかどうか、制御部 C T b 内のコンパレータにより監視している。

#### 【 0 0 8 3 】

図 1 0 に示すように、I G B T 素子 P D 2 に対応する抵抗 R 2 での電圧降下量  $S 2 r$  が上昇してしきい値電圧  $V_{thr}$  を超えた場合、制御部 C T b は、I G B T 素子 P D 2 での定常損失が大きくなりすぎたと判断する。

#### 【 0 0 8 4 】

そして、制御部 C T b は、I G B T 素子 P D 2 とは同時に動作することのなかった例えば I G B T 素子 P D 3 をも加えて、分割制御を行う。すなわち、制御部 C T b は、I G B T 素子 P D 1 ~ P D 3 のゲートに PWM 信号 S 0 を与えることによりこれら素子を動作させ、その動作終了後に、今度は I G B T 素子 P D 3,

P D 4 のゲートに P W M 信号 S 0 を与えることによりこれら素子を動作させる、という分割制御を繰り返す。

## 【 0 0 8 5 】

これにより、分割制御の際に同時に動作させる I G B T 素子数を増加させて、定常損失を減少させることが可能となる。図 1 0 では、しきい値電圧  $V_{thr}$  を越えた後の抵抗 R 2 での電圧降下量  $S 2_r$  が逡減しており、定常損失の低減が示されている。

## 【 0 0 8 6 】

そして、抵抗 R 2 での電圧降下量  $S 2_r$  が再びしきい値電圧  $V_{thr}$  以下の値となれば、I G B T 素子 P D 3 の I G B T 素子 P D 2 との同時動作を解除して、図 3 と同様の分割制御を行うようにすればよい。

## 【 0 0 8 7 】

本実施の形態に係る電力用半導体装置によれば、I G B T 素子 P D 1 ~ P D 4 の動作状況に関する情報を検出する電流検出器としての抵抗 R 1 ~ R 4 を備える。そして、抵抗 R 1 ~ R 4 は検出した通電電流量の情報を電圧降下量  $S 1_r$  ~  $S 4_r$  として制御部 C T b に与え、制御部 C T b は、分割制御時に動作させるべき I G B T 素子 P D 1 ~ P D 4 を、その情報に基づいて選択する。

## 【 0 0 8 8 】

これにより、I G B T 素子 P D 1 ~ P D 4 のうち分割制御時に同時に動作させるべき素子を増やすことが可能となる。よって、定常損失とスイッチング損失との合算たる総合損失のうち、分割制御を行うことにより増大する定常損失の占める割合が大きくなったときに、制御部 C T b は制御すべき I G B T 素子 P D 1 ~ P D 4 を適切に選択することができる。

## 【 0 0 8 9 】

また、本実施の形態に係る電力用半導体装置においては、抵抗 R 1 ~ R 4 を、各 I G B T 素子 P D 1 ~ P D 4 のそれぞれに対応して複数設けている。これにより、各 I G B T 素子のそれぞれの通電電流量を検出することができ、分割制御時に動作させるべき I G B T 素子の選択を制御部 C T b がより適切に行える。

## 【 0 0 9 0 】

なお、上記のように抵抗 R 1 ～ R 4 を個別に設けることが好ましいが、必ずしもこれに限られるものではない。例えば、同時に動作する I G B T 素子 P D 1, P D 2 に対して両素子のエミッタに一端が共通接続された一つの抵抗を設け、I G B T 素子 P D 3, P D 4 に対して両素子のエミッタに一端が共通接続された他の一つの抵抗を設けるようにしてもよい。

## 【 0 0 9 1 】

また、上記の図 1 0 においては、I G B T 素子 P D 2 の通電電流量が大きくなりすぎた場合、I G B T 素子 P D 3 に追加動作をさせるようにしたが、例えば、I G B T 素子 P D 3, P D 4 の両方に追加動作させるようにしてもよい。

## 【 0 0 9 2 】

また、I G B T 素子 P D 1, P D 2 の動作時に I G B T 素子 P D 3, P D 4 に追加動作をさせ、I G B T 素子 P D 3, P D 4 の動作時に I G B T 素子 P D 1, P D 2 に追加動作をさせる、すなわち、一括動作に切り替えてもよい。

## 【 0 0 9 3 】

これらの動作は、制御部 C T b たる D S P の制御プログラムを予め適切に設定しておくことにより、容易に実現が可能である。

## 【 0 0 9 4 】

## &lt; 実施の形態 4 &gt;

本実施の形態は、実施の形態 1 に係る電力用半導体装置の変形例であって、I G B T 素子 P D 1 ～ P D 4 のエミッターコレクタ間電圧を検出し、分割制御時において、ある I G B T 素子の動作時の逆方向電圧が所定の値を超えた場合には、他の I G B T 素子をも動作させるようにしたものである。

## 【 0 0 9 5 】

図 1 1 は、本実施の形態に係る電力用半導体装置を示す図である。なお、図 1 1 においては、図 5 の電力用半導体装置の構成に加えて、端子 T M b, T M c 間に、ツェナーダイオード Z D 及び抵抗 R 5, R 6 の直列接続されたものが挿入されている。その他の点については、図 5 の電力用半導体装置と同じである。

## 【 0 0 9 6 】

このツェナーダイオード Z D は、例えば I G B T 素子 P D 1 ～ P D 4 が形成さ

れた半導体基板内に設けられた p n 接合により構成され、また、抵抗 R 5, R 6 はいずれも、例えば I G B T 素子 P D 1 ~ P D 4 が形成された半導体基板上に設けられた配線層の一部である。

## 【 0 0 9 7 】

さて、分割制御または一括制御により各 I G B T 素子 P D 1 ~ P D 4 が導通している間、エミッターコレクタ間電圧  $V_{CE}$  として各素子のエミッターコレクタ間には順方向電圧がかかり、そこには順方向電流が流れる。

## 【 0 0 9 8 】

一方、導通の終了時付近では、一時的に逆方向のサージ電流が素子のエミッターコレクタ間に流れる。このサージ電流が許容範囲内ならば問題はないが、許容範囲を超えて素子に致命的破壊をもたらす場合もありうる。この場合、エミッターコレクタ間電圧  $V_{CE}$  として非常に高い逆方向電圧がかかる。

## 【 0 0 9 9 】

本実施の形態においては、ツェナーダイオード Z D 及び抵抗 R 5, R 6 が、エミッターコレクタ間電圧  $V_{CE}$  の電圧検出器として機能する。具体的には、エミッターコレクタ間電圧  $V_{CE}$  として逆方向電圧が所定のツェナー電圧  $V_{ZD}$  を超えたとき、ツェナーダイオード Z D は逆方向に導通し、抵抗 R 5, R 6 に電流が流れる。エミッターコレクタ間電圧  $V_{CE}$  は、抵抗 R 5, R 6 により抵抗分割され、各抵抗での電圧降下量  $S 5 r$ ,  $S 6 r$  に分かれる。そして、抵抗 R 6 での電圧降下量  $S 6 r$  をモニタすることで、制御部 C T b は I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間電圧  $V_{CE}$  の逆方向電圧を検出することが可能である。

## 【 0 1 0 0 】

上述のように、素子の導通終了時付近において、一時的に逆方向の大きなサージ電流が素子のエミッターコレクタ間に流れることがある。よって、この場合は、たとえ分割制御している場合であっても、素子の破壊を防ぐために、サージ電流を多くの素子で分流することが望ましい。

## 【 0 1 0 1 】

そこで、本実施の形態においては、I G B T 素子 P D 1 ~ P D 4 の一部を分割制御している際に、エミッターコレクタ間電圧  $V_{CE}$  の逆方向電圧が所定値を超え



たことを検出すれば、動作中の素子に加えて他の I G B T 素子をも動作させる。すなわち、制御部 C T b は、各 I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間電圧  $V_{CE}$  の検出結果に基づいて、分割制御時の素子の導通終了時付近に追加動作させるべき I G B T 素子を選択する。

## 【 0 1 0 2 】

図 1 2 は、この様子を示すタイミングチャートである。ここでは、例として I G B T 素子 P D 1 , P D 2 を分割制御により動作させていた場合に着目する。

## 【 0 1 0 3 】

制御部 C T b では、抵抗 R 6 での電圧降下量  $S 6 r$  を監視し、抵抗 R 6 に電流が流れているか否かを監視している。

## 【 0 1 0 4 】

図 1 2 に示すように、I G B T 素子 P D 1 , P D 2 の動作終了時付近においてエミッターコレクタ間電圧  $V_{CE}$  の逆方向電圧が上昇し、ツェナー電圧  $V_{ZD}$  を超えた場合、制御部 C T b は、I G B T 素子 P D 1 , P D 2 に大きな逆方向電流が流れてしまうと判断する。

## 【 0 1 0 5 】

そして、制御部 C T b は、エミッターコレクタ間電圧  $V_{CE}$  がツェナー電圧  $V_{ZD}$  を超えている期間  $V s$  の間、I G B T 素子 P D 1 , P D 2 とは同時に動作することのなかった例えば I G B T 素子 P D 3 をも一時的に加えて、分割制御を行う。

## 【 0 1 0 6 】

すなわち、制御部 C T b は、素子の導通終了時付近において、一時的に逆方向の大きなサージ電流が流れる場合には、サージ電流を I G B T 素子 P D 1 ~ P D 3 で分流させるのである。図 1 2 では、期間  $V s$  の間だけ I G B T 素子 P D 3 への信号  $S 3$  が一時的にアクティブ  $S 3 p$  となっており、I G B T 素子 P D 3 の追加動作が示されている。

## 【 0 1 0 7 】

これにより、逆方向電流を I G B T 素子 P D 1 , P D 2 だけでなく、I G B T 素子 P D 3 にも分散して流すことが可能となり、I G B T 素子 P D 1 , P D 2 に過電流が流れるのを防止することができる。

【 0 1 0 8 】

なお、上記の図 1 2 においては、エミッターコレクタ間電圧  $V_{CE}$  がツェナー電圧  $V_{ZD}$  を超えた場合、 I G B T 素子 P D 3 に追加動作をさせるようにしたが、例えば、 I G B T 素子 P D 3 , P D 4 の両方に追加動作させるようにしてもよい。

【 0 1 0 9 】

これらの動作は、制御部 C T b たる D S P の制御プログラムを予め適切に設定しておくことにより、容易に実現が可能である。

【 0 1 1 0 】

< 実施の形態 5 >

本実施の形態も、実施の形態 1 に係る電力用半導体装置の変形例であって、各 I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間順方向電圧を検出するようにしたものである。

【 0 1 1 1 】

図 1 3 は、本実施の形態に係る電力用半導体装置を示す図である。なお、図 1 3 においては、各 I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間にそれぞれ、トランジスタ及び二つの抵抗の直列接続されたものが挿入されている。

【 0 1 1 2 】

具体的には、 I G B T 素子 P D 1 のエミッターコレクタ間には、トランジスタ T R 1 及び抵抗 R 7 , R 8 の直列接続されたものが、 I G B T 素子 P D 2 のエミッターコレクタ間には、トランジスタ T R 2 及び抵抗 R 9 , R 1 0 の直列接続されたものが、 I G B T 素子 P D 3 のエミッターコレクタ間には、トランジスタ T R 3 及び抵抗 R 1 1 , R 1 2 の直列接続されたものが、 I G B T 素子 P D 4 のエミッターコレクタ間には、トランジスタ T R 4 及び抵抗 R 1 3 , R 1 4 の直列接続されたものが、それぞれ接続されている。

【 0 1 1 3 】

そして、トランジスタ T R 1 のゲートには保護回路 P T 1 を経た信号 S 1 が、トランジスタ T R 2 のゲートには保護回路 P T 2 を経た信号 S 2 が、トランジスタ T R 3 のゲートには保護回路 P T 3 を経た信号 S 3 が、トランジスタ T R 4 のゲートには保護回路 P T 4 を経た信号 S 4 が、それぞれ入力されている。

【 0 1 1 4 】

その他の点については、図 5 の電力用半導体装置と同じである。

【 0 1 1 5 】

実施の形態 4 においては、ツェナーダイオード Z D 及び抵抗 R 5, R 6 の直列接続されたものを I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間に共通して挿入することにより、I G B T 素子の逆方向電圧の検出を行っていた。

【 0 1 1 6 】

本実施の形態では、逆方向電圧ではなく各 I G B T 素子の順方向電圧を検出することにより、各 I G B T 素子の寿命の判断に使用する。

【 0 1 1 7 】

I G B T 素子が形成されたシリコン基板においては、使用の継続に応じて経年変化や過電流の影響により格子欠陥が生じる。そして、この格子欠陥が生じると、I G B T 素子のエミッターコレクタ間の順方向電圧に上昇が見られる。

【 0 1 1 8 】

また、個別の I G B T 素子の場合、そのエミッターコレクタはハンダによりダイパッド上に固着されるのが一般的である。しかし、ハンダを採用すると、経年変化によりハンダ内にクラックが生じて、ハンダの抵抗が上昇することがある。この場合も、I G B T 素子のエミッターコレクタ間の順方向電圧に上昇が見られることとなる。

【 0 1 1 9 】

よって、抵抗 R 8, R 1 0, R 1 2, R 1 4 での電圧降下量 S 8 r, S 1 0 r, S 1 2 r, S 1 4 r をそれぞれモニタすることで、制御部 C T b は I G B T 素子 P D 1 ~ P D 4 のエミッターコレクタ間の順方向電圧を検出することが可能である。

【 0 1 2 0 】

なお、トランジスタ T R 1 ~ T R 4 は、I G B T 素子 P D 1 ~ P D 4 のオン時にのみ抵抗 R 8, R 1 0, R 1 2, R 1 4 に電流が流れるようにするために設けられている。また、抵抗 R 7, R 9, R 1 1, R 1 3 はいずれも、抵抗 R 8, R 1 0, R 1 2, R 1 4 での電圧降下量 S 8 r, S 1 0 r, S 1 2 r, S 1 4 r が

大きな値とならないようにするための抵抗分割用に設けられている。

【0121】

そして、IGBT素子PD1～PD4の各エミッターコレクタ間電圧が検出できれば、その値から各IGBT素子の寿命の判断が行える。寿命の短いIGBT素子については、できるだけ電流を流さないようにして延命措置を図ることが望ましい。上述のように、並列接続された電力用半導体素子を一つの電力用半導体装置にモジュール化した場合、一つでも素子に寿命が訪れれば、モジュール全体を交換する必要があるからである。

【0122】

よって、本実施の形態においては、IGBT素子PD1～PD4のうちエミッターコレクタ間順方向電圧の高いものは、寿命が短いと判断して、その動作を停止させる。

【0123】

制御部CTbは、各IGBT素子PD1～PD4のエミッターコレクタ間順方向電圧の検出結果に基づいて、分割制御時に動作させるべきIGBT素子を選択する。図14は、この選択の様子を示すタイミングチャートである。ここでは、例としてIGBT素子PD2のエミッターコレクタ間順方向電圧に着目する。

【0124】

制御部CTbでは、各抵抗R8、R10、R12、R14での電圧降下量S8r、S10r、S12r、S14rをA/D (Analog→Digital) 変換し、その変換した値が所定のしきい値電圧Vthvを超えないかどうか、制御部CTb内のコンパレータにより監視している。

【0125】

図14に示すようにIGBT素子PD2に対応する抵抗R10の電圧降下量S10rが上昇してしきい値電圧Vthvを超えた場合、制御部CTbは、IGBT素子PD2の寿命が短いと判断してIGBT素子PD2の動作を停止させる。

【0126】

そして、制御部CTbは、IGBT素子PD2とは同時に動作することのなかった例えばIGBT素子PD3に、IGBT素子PD2の代理の機能を行わせる

。すなわち、制御部CTbは、IGBT素子PD1、PD3のゲートにPWM信号S0を与えることによりこれら素子を動作させ、その動作終了後に、今度はIGBT素子PD3、PD4のゲートにPWM信号S0を与えることによりこれら素子を動作させる、という分割制御を繰り返す。

## 【0127】

これにより、寿命が短いと判断されたIGBT素子PD2を休息させることができ、延命措置をとることが可能となる。

## 【0128】

本実施の形態に係る電力用半導体装置によれば、IGBT素子PD1～PD4のエミッターコレクタ間順方向電圧を検出する抵抗R8、R10、R12、R14を備える。そして、抵抗R8、R10、R12、R14での電圧降下量S8r、S10r、S12r、S14rの情報は制御部CTbに与えられ、制御部CTbは、分割制御時に動作させるべきIGBT素子PD1～PD4を、その情報に基づいて選択する。

## 【0129】

これにより、IGBT素子PD1～PD4のうち寿命が短いものの動作を停止させ、それ以外の素子のみを動作させることが可能となる。よって、電力用半導体装置全体としての寿命を延ばすことが可能となる。

## 【0130】

また、本実施の形態に係る電力用半導体装置においては、トランジスタ及び二つの抵抗の直列接続されたものを、各IGBT素子PD1～PD4のそれぞれに対応して複数設けている。これにより、各IGBT素子のそれぞれの寿命を検出することができ、分割制御時に動作させるべきIGBT素子の選択を制御部CTbがより適切に行える。

## 【0131】

なお、上記のようにトランジスタ及び二つの抵抗の直列接続されたものを個別に設けることが好ましいが、必ずしもこれに限られるものではない。例えば、同時に動作するIGBT素子PD1、PD2に対して一組のトランジスタ及び二つの抵抗の直列接続体を設け、IGBT素子PD3、PD4に対して他の一組のト

ランジスタ及び二つの抵抗の直列接続体を設けるようにしてもよい。

【0132】

また、上記の図14においては、IGBT素子PD2のエミッターコレクタ間順方向電圧が高くなった場合、IGBT素子PD3にその動作を割り振るようにしたが、例えば、IGBT素子PD3、PD4の両方に割り振るようにしてもよい。あるいは、IGBT素子PD3、PD4のエミッターコレクタ間順方向電圧の検出結果をも考慮して、より寿命の長い方、すなわちエミッターコレクタ間順方向電圧の変動のない方にIGBT素子PD2の動作を割り振ってもよい。

【0133】

これらの動作は、制御部CTbたるDSPの制御プログラムを予め適切に設定しておくことにより、容易に実現が可能である。

【0134】

【発明の効果】

請求項1に記載の発明によれば、制御部は、複数の電力用半導体素子の一部を動作させ、その一部の動作終了後に、複数の電力用半導体素子の他の一部を動作させる分割制御を繰り返す。よって、各電力用半導体素子に流れる電流量を均等にすることが可能となり、特定の電力用半導体素子に偏った発熱が生じにくくなる。また、複数の電力用半導体素子の一部または他の一部の動作時における実質的な並列接続数は、実際の並列接続数よりも少ない。よって、テール電流に起因する電力損失量の増大を抑制することが可能である。

【図面の簡単な説明】

【図1】 実施の形態1に係る電力用半導体装置を示す図である。

【図2】 実施の形態1に係る電力用半導体装置の制御部を示す図である。

【図3】 分割制御時の各信号の様子を示すタイミングチャートである。

【図4】 一括制御時の各信号の様子を示すタイミングチャートである。

【図5】 実施の形態1に係る電力用半導体装置の変形例を示す図である。

【図6】 他の分割制御時の各信号の様子を示すタイミングチャートである。

【図7】 実施の形態2に係る電力用半導体装置を示す図である。

【図 8】 分割制御時の各信号の様子を示すタイミングチャートである。

【図 9】 実施の形態 3 に係る電力用半導体装置を示す図である。

【図 1 0】 分割制御時の各信号の様子を示すタイミングチャートである。

【図 1 1】 実施の形態 4 に係る電力用半導体装置を示す図である。

【図 1 2】 逆方向電圧と分割制御時の各信号の様子を示すタイミングチャートである。

【図 1 3】 実施の形態 5 に係る電力用半導体装置を示す図である。

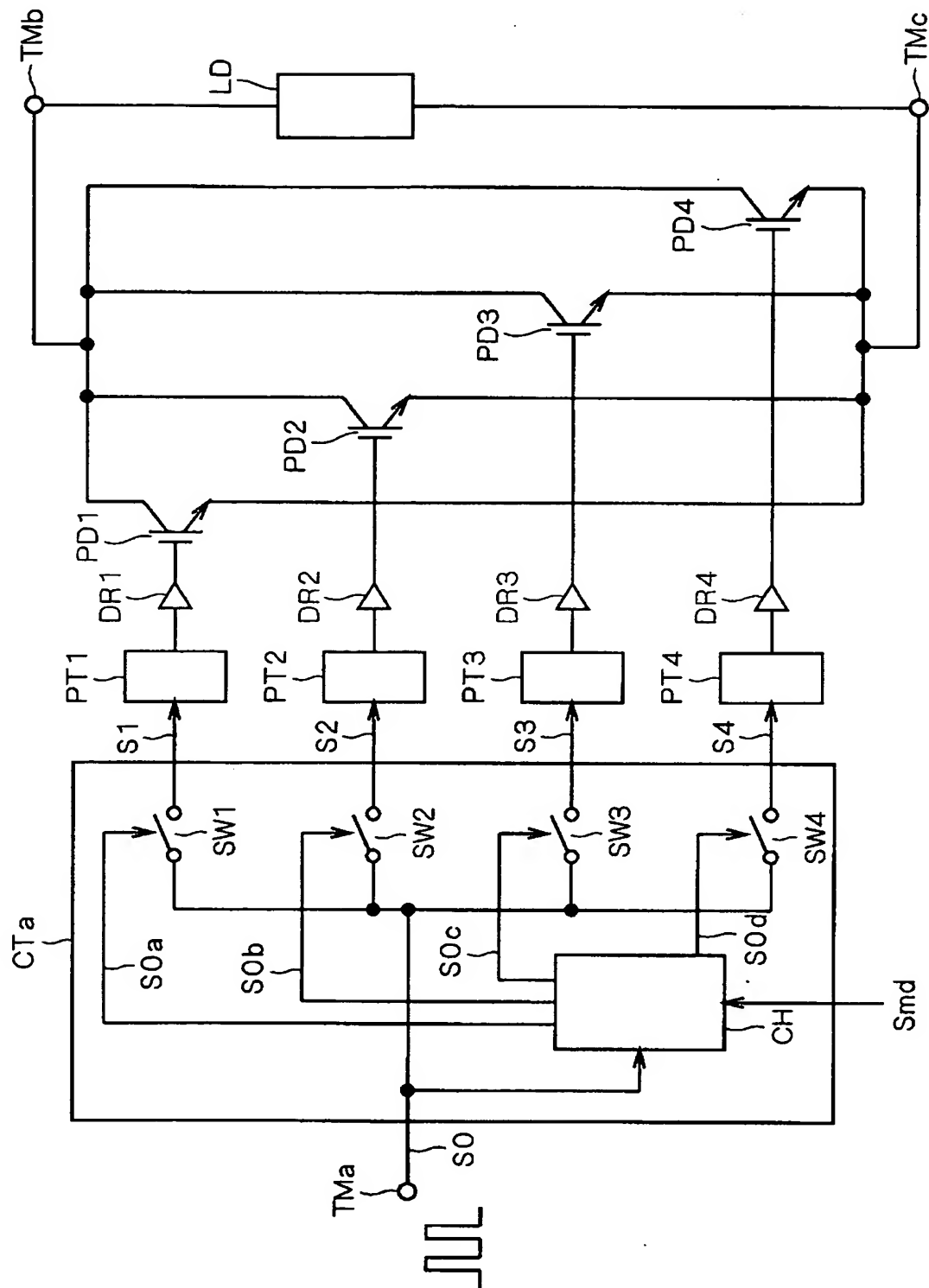
【図 1 4】 分割制御時の各信号の様子を示すタイミングチャートである。

【符号の説明】

P D 1 ～ P D 4 I G B T、L D 負荷、D R 1 ～ D R 4 増幅器、P T 1 ～  
P T 4 保護回路、C T a，C T b 制御部。

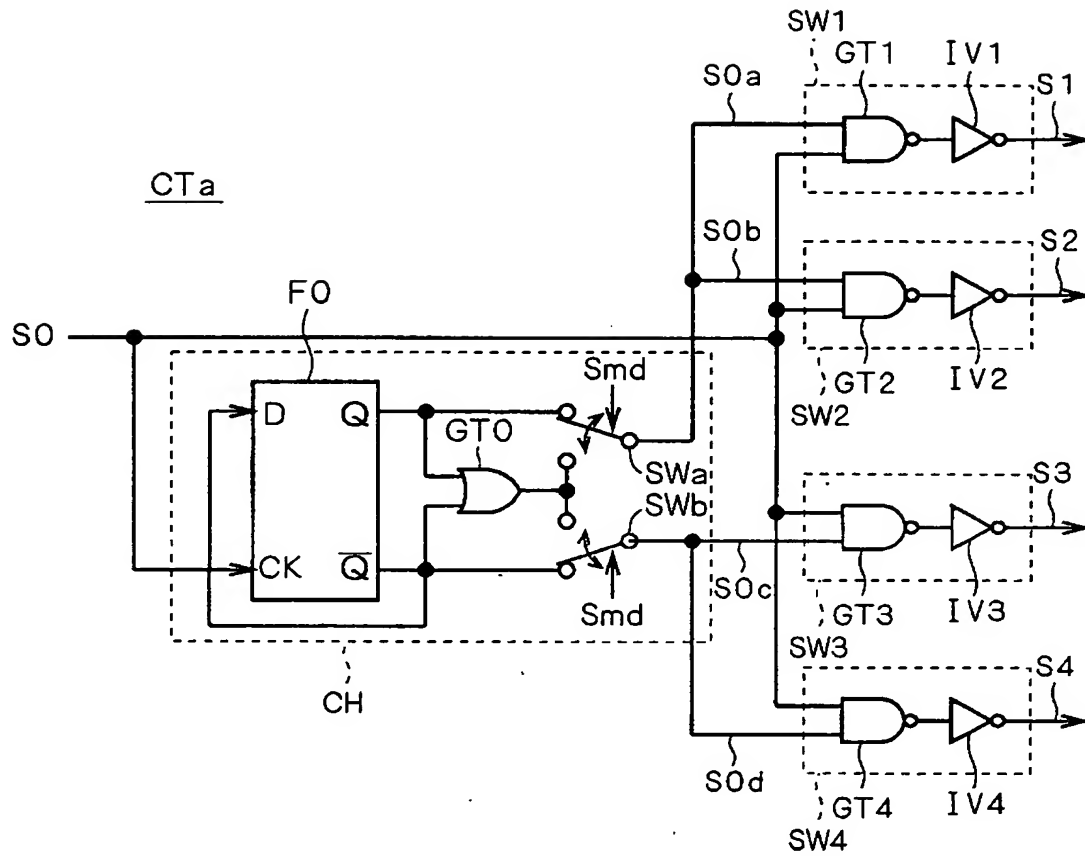
【書類名】 図面

【図 1】

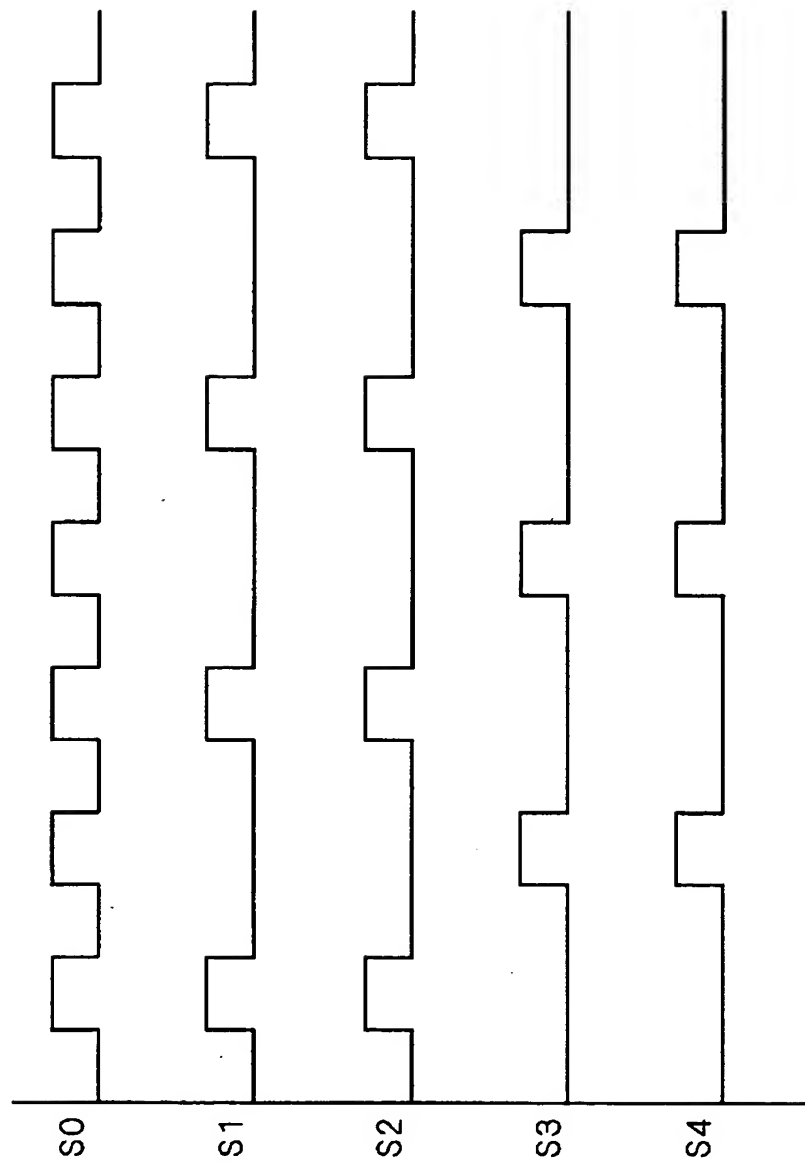




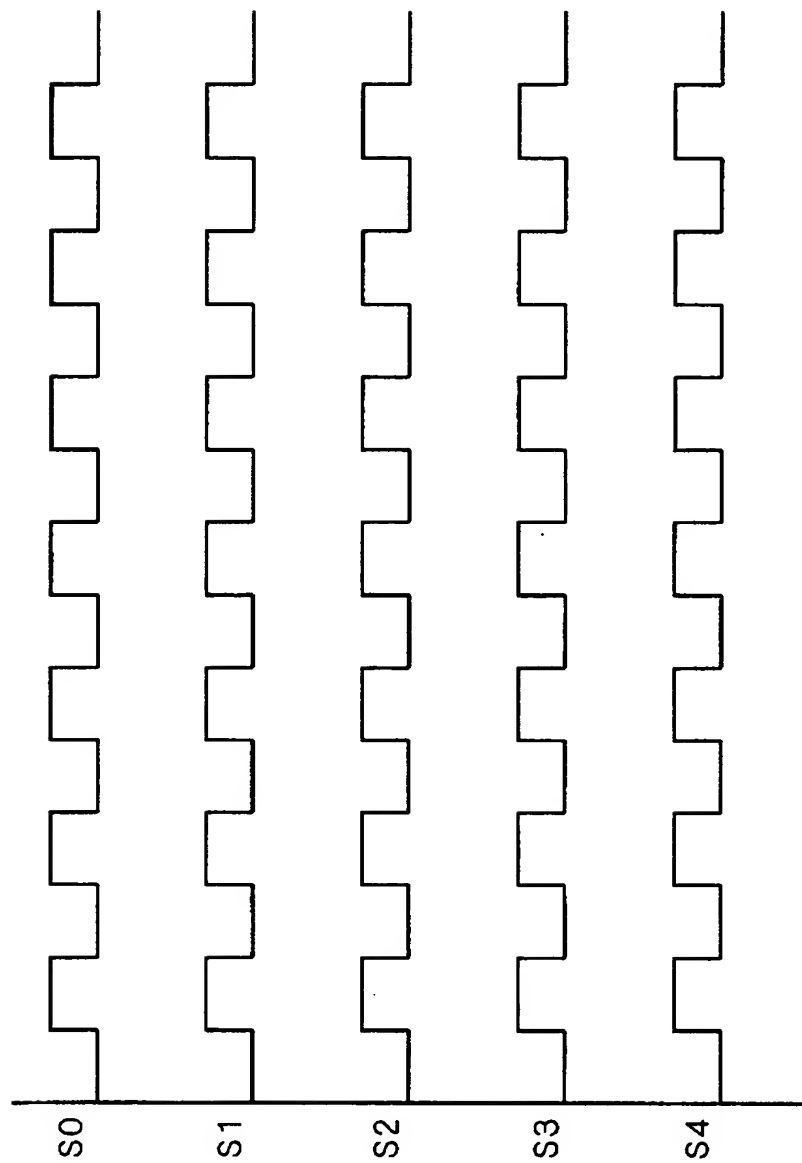
【図 2】



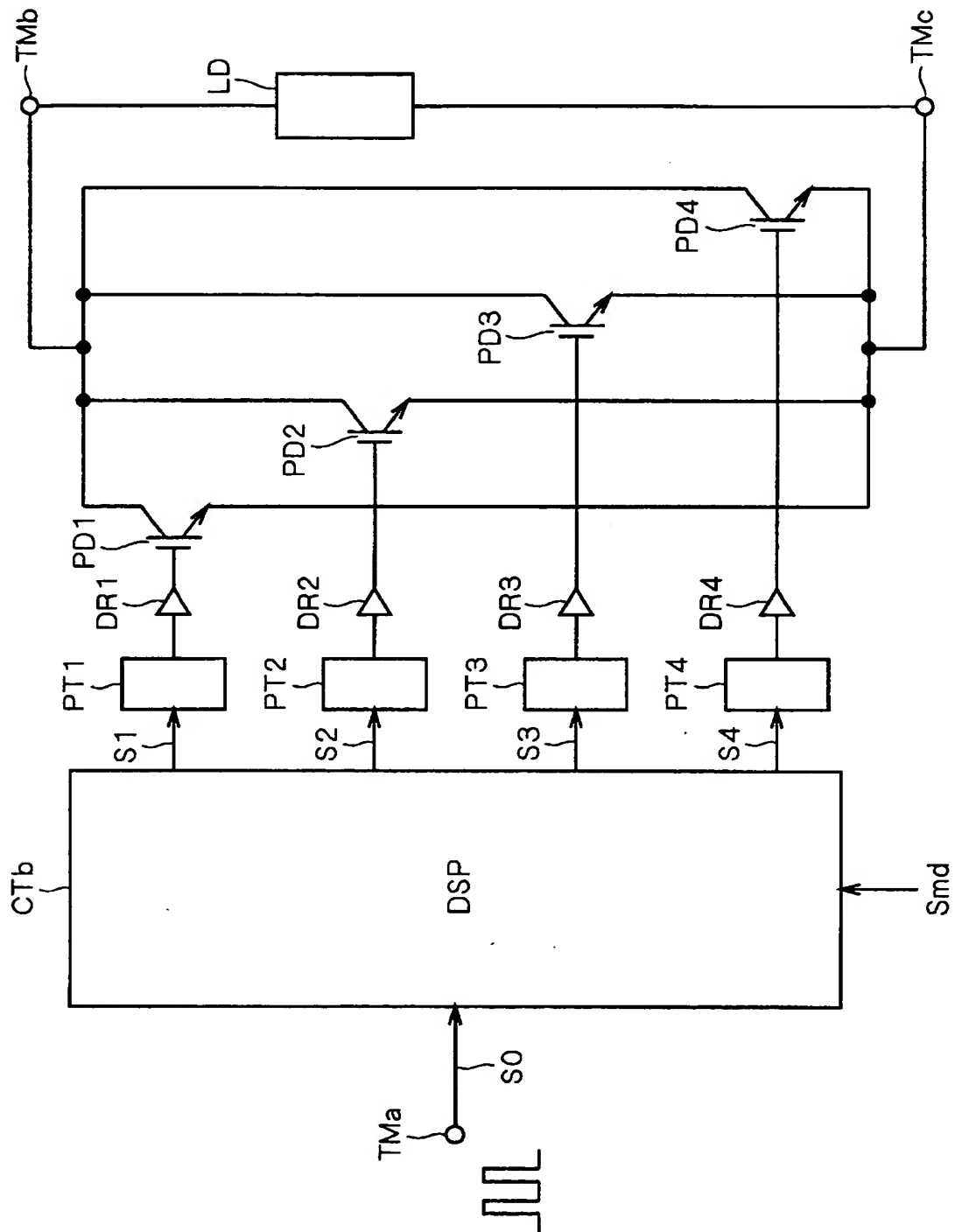
【図 3】



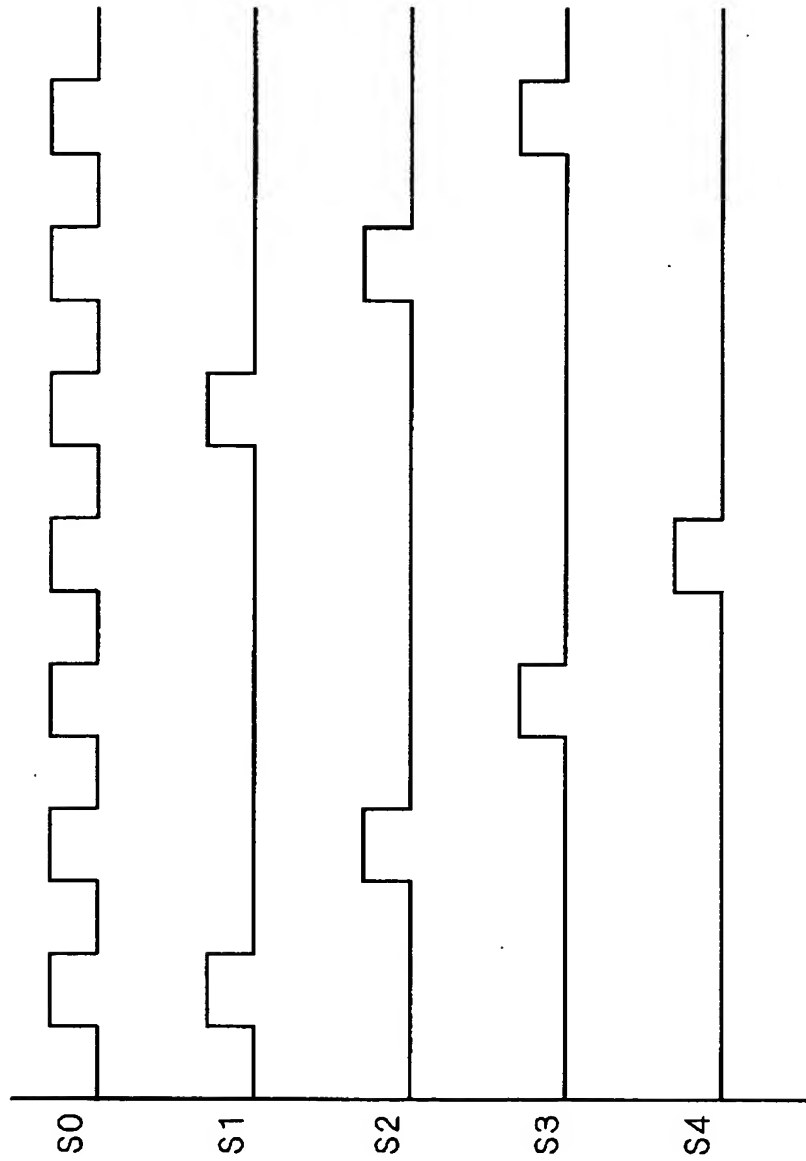
【図 4】



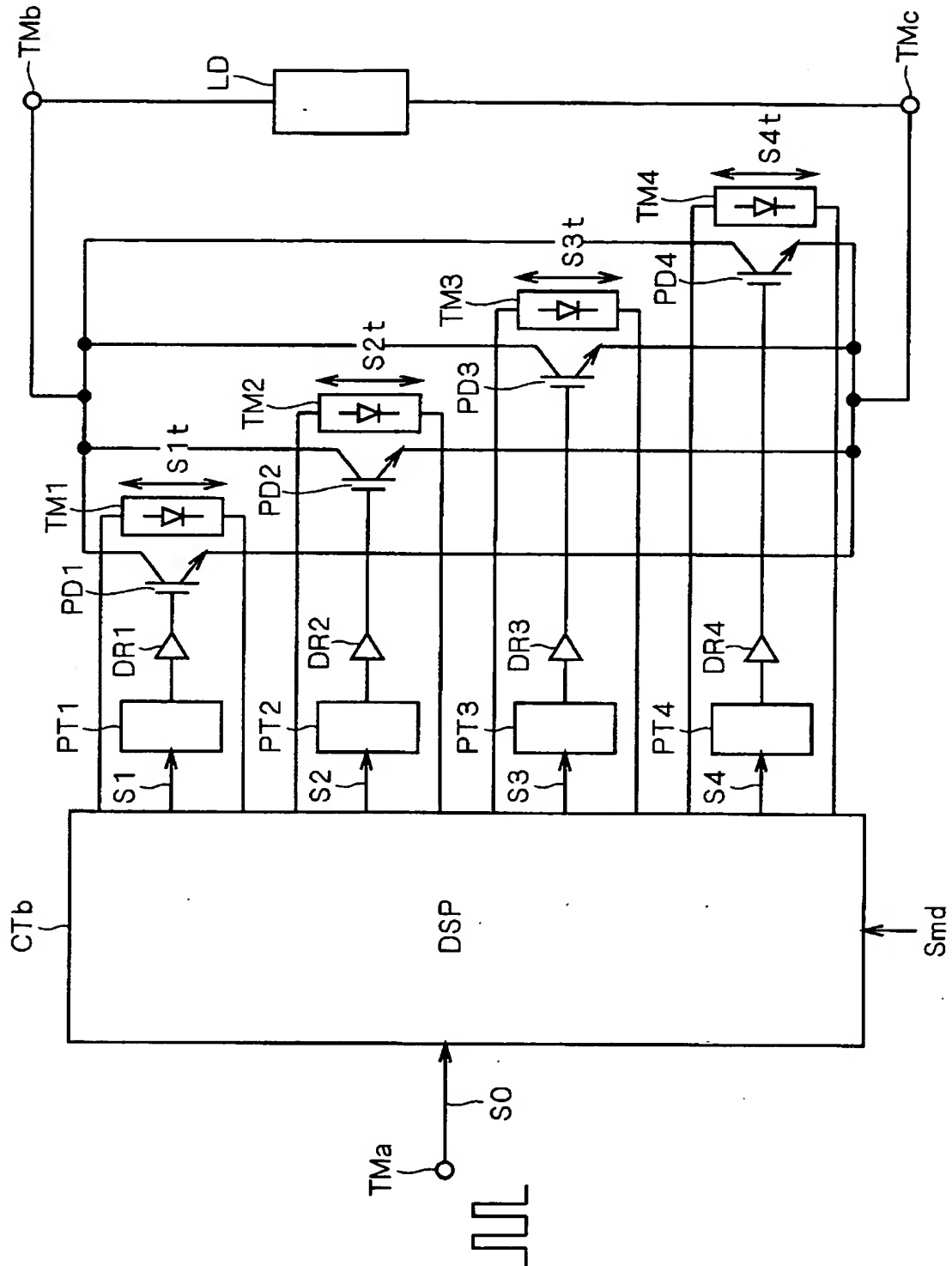
【図 5】



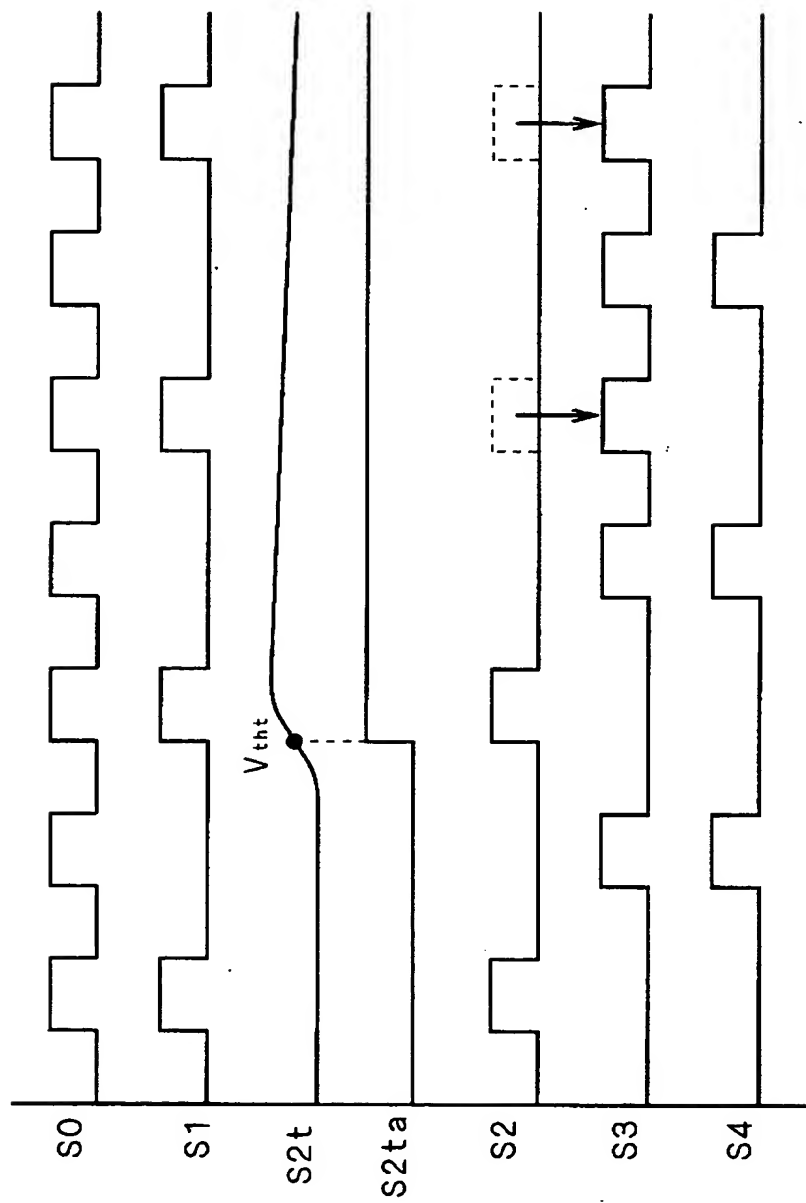
【図 6】



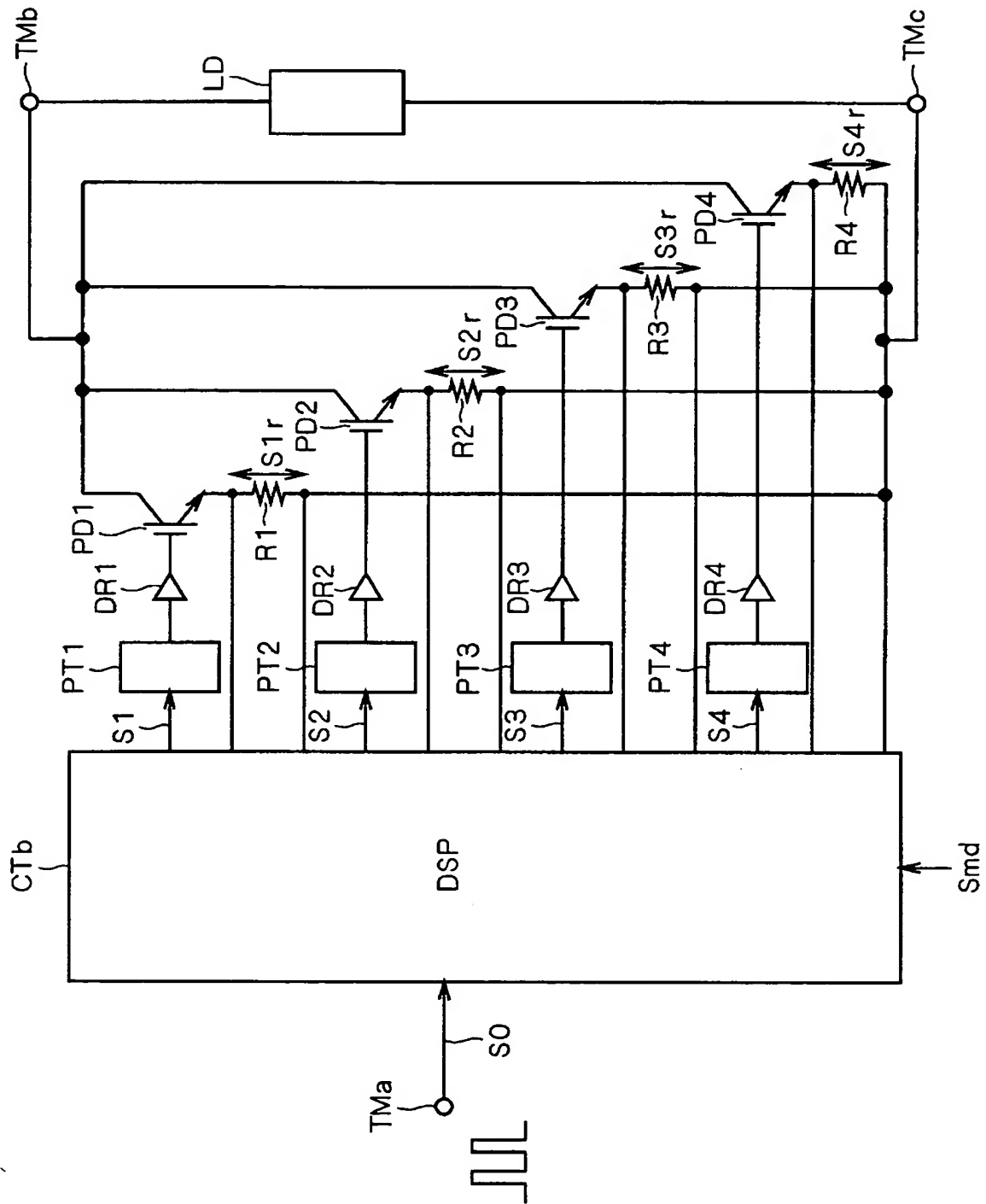
【図 7】



【図 8】

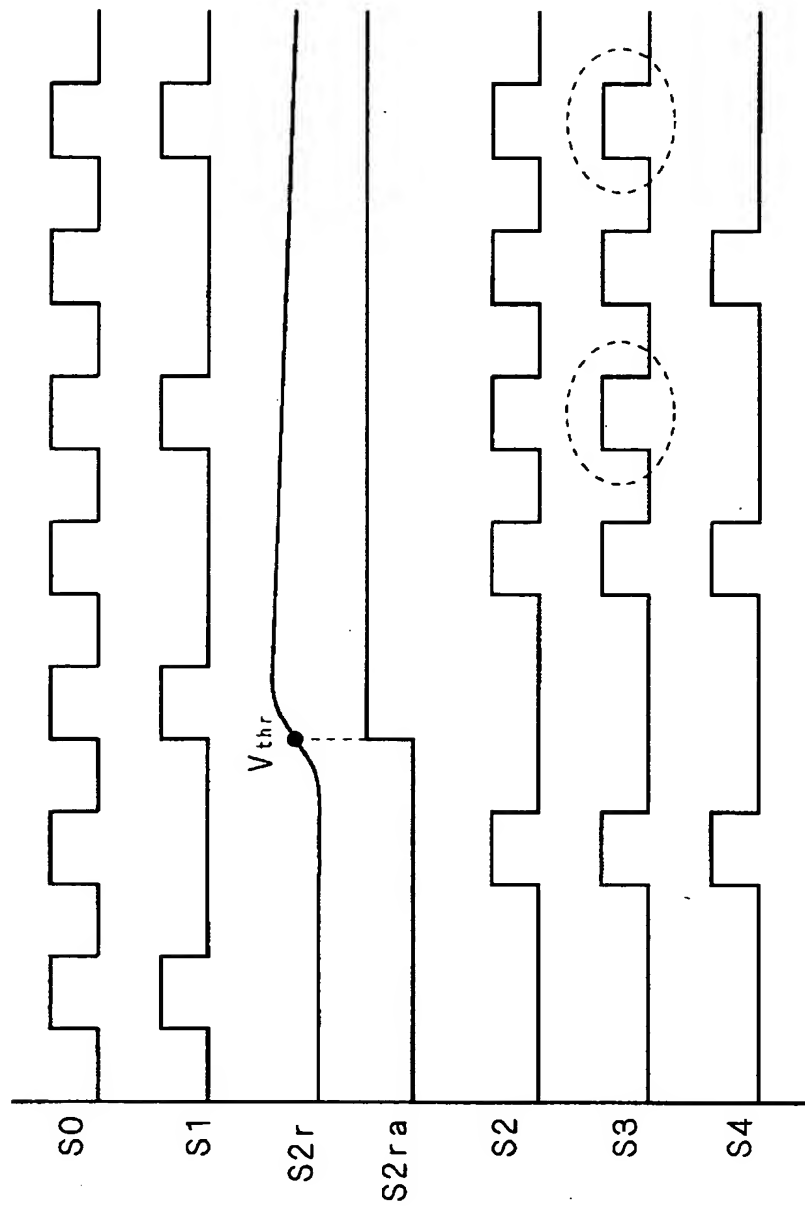


【図9】

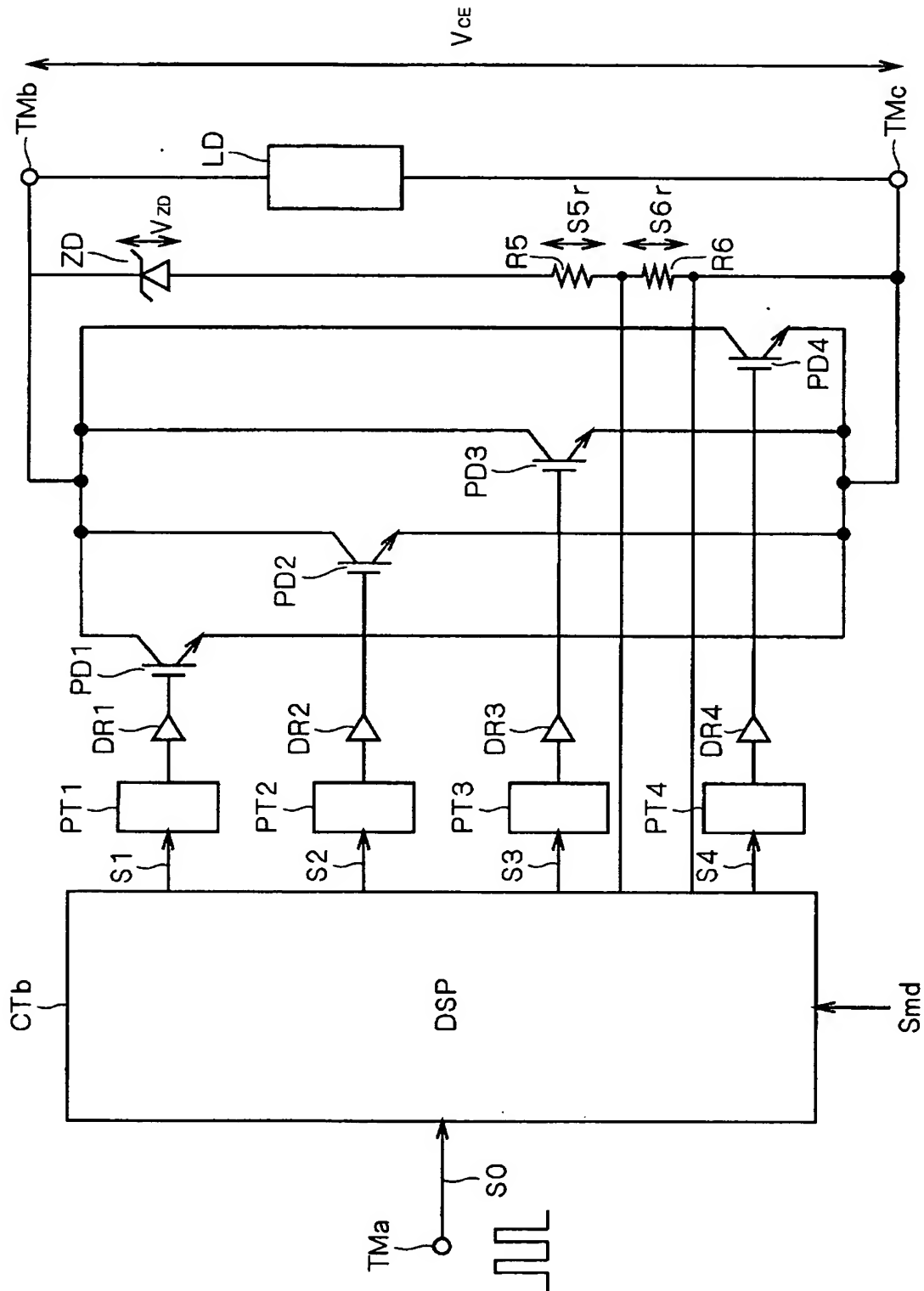




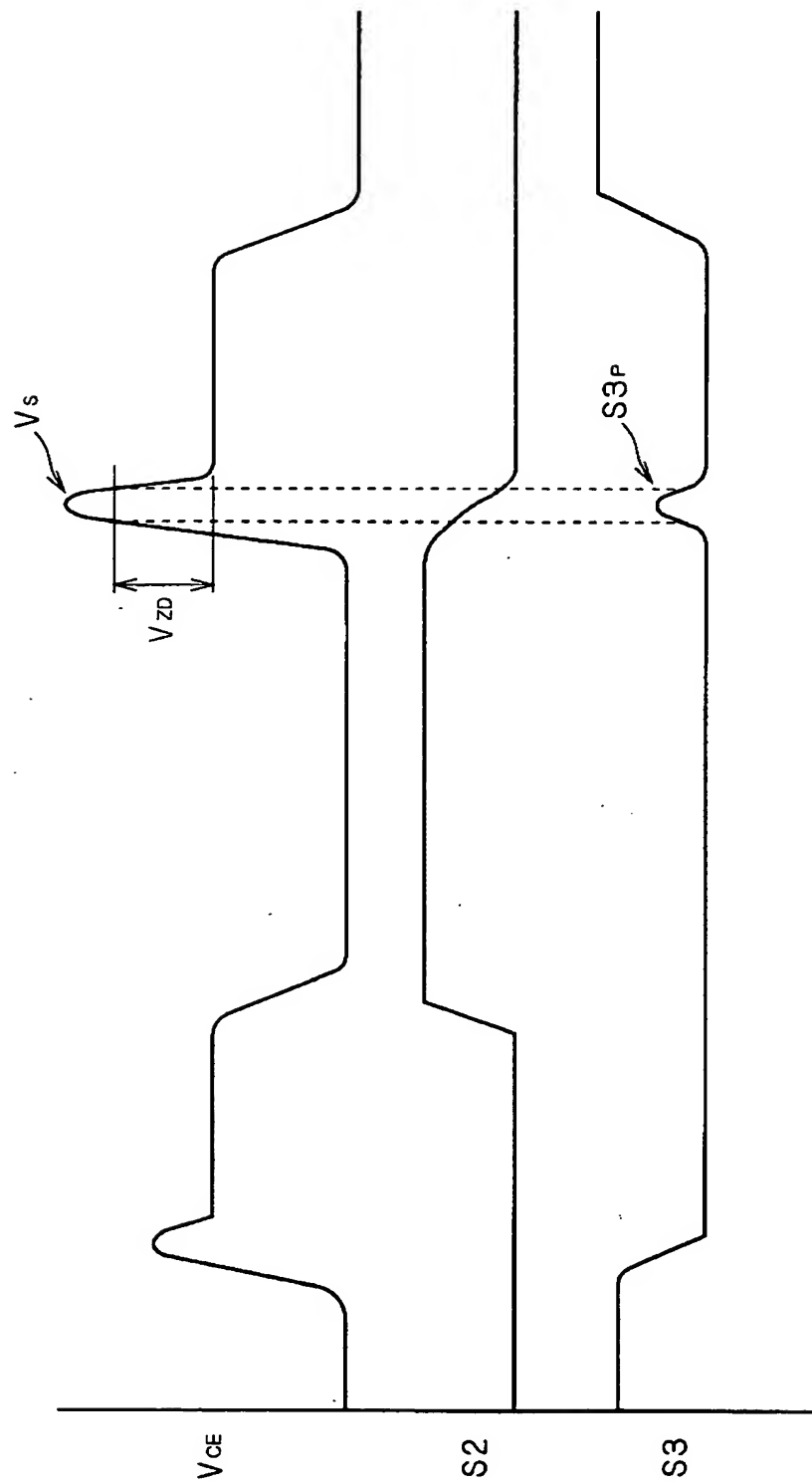
【図 10】



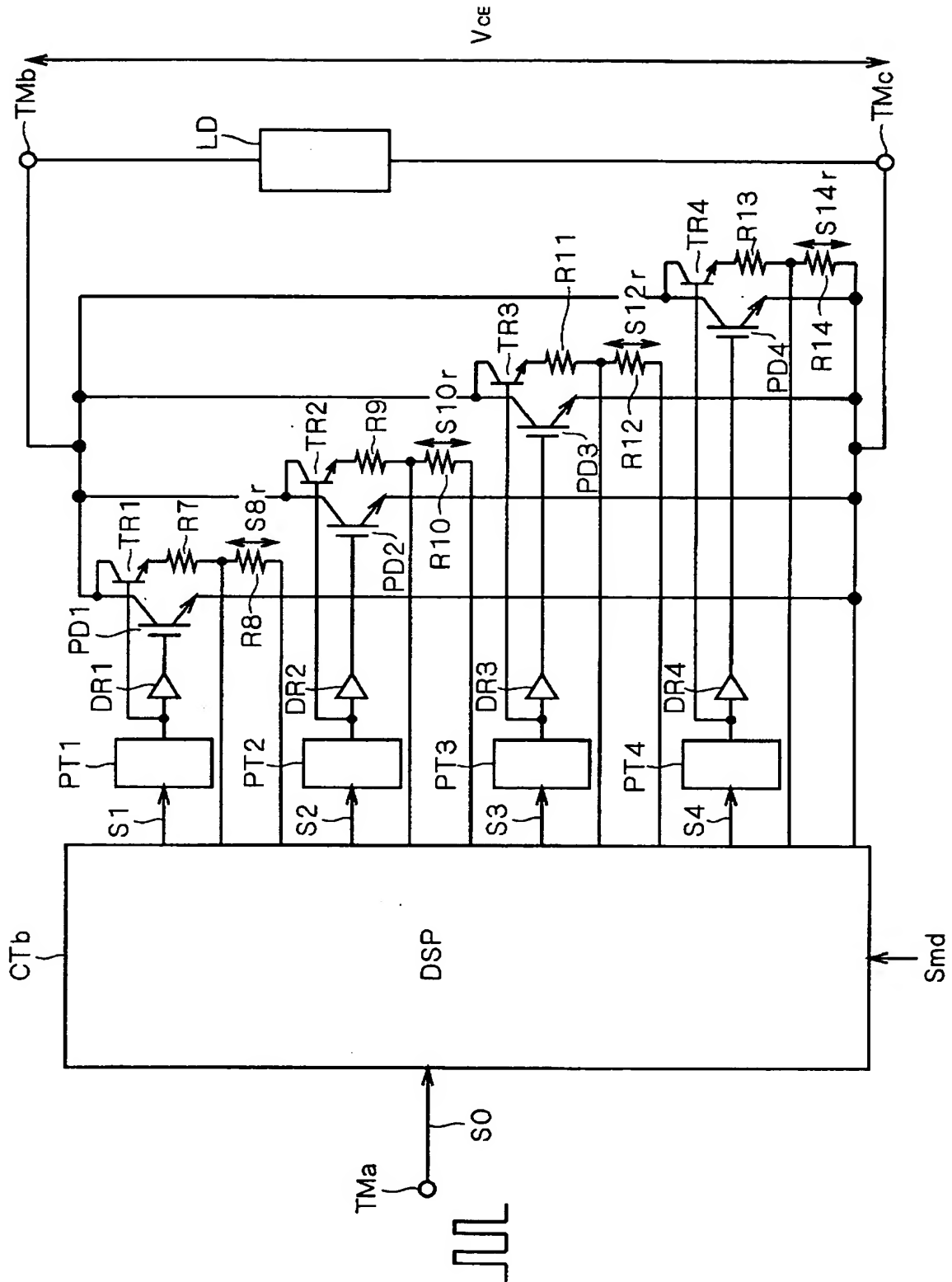
【図 11】



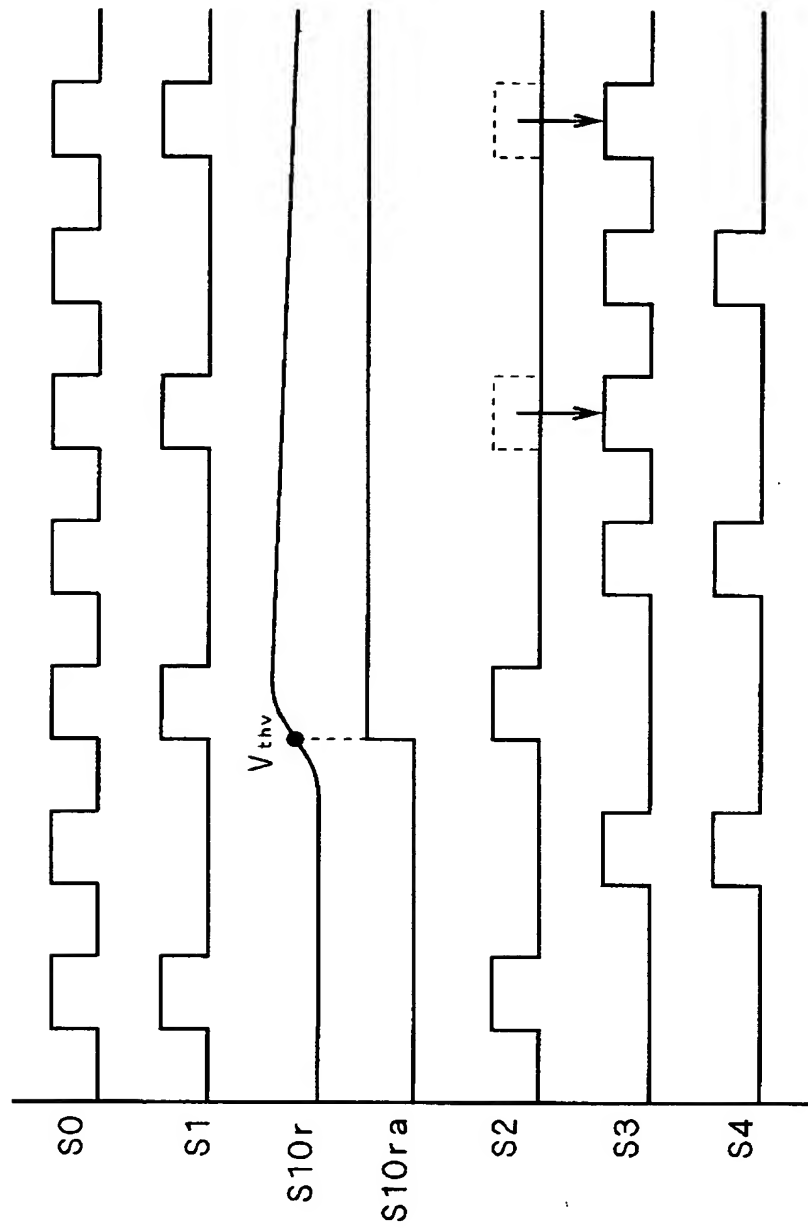
【図 1 2】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 複数の電力用半導体素子を並列接続した場合であっても、特定の素子に偏った発熱が生じにくく、テール電流に起因する電力損失量の増大を抑制することが可能な電力用半導体装置を提供する。

【解決手段】 I G B T 素子 P D 1 ～ P D 4 の全てに P W M 信号 S 0 を与えて全ての素子に同じ動作をさせる一括制御ではなく、制御部 C T a に分割制御を行わせる。すなわち、P W M 信号 S 0 のパルス列のうちあるパルスが入力されると、スイッチ S W 1, S W 2 のみオンして I G B T 素子 P D 1, P D 2 のみ動作させ、次のパルスが入力されると、スイッチ S W 3, S W 4 のみオンして I G B T 素子 P D 3, P D 4 のみ動作させる。そして、上記の動作を繰り返す。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

|          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日     |
| [変更理由]   | 新規登録                    |
| 住 所      | 東京都千代田区丸の内 2 丁目 2 番 3 号 |
| 氏 名      | 三菱電機株式会社                |